

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-308261

(43)Date of publication of application : 02.11.2001

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 23/52

H05K 1/03

(21)Application number : 2000-124354

(71)Applicant : SEIKO EPSON CORP

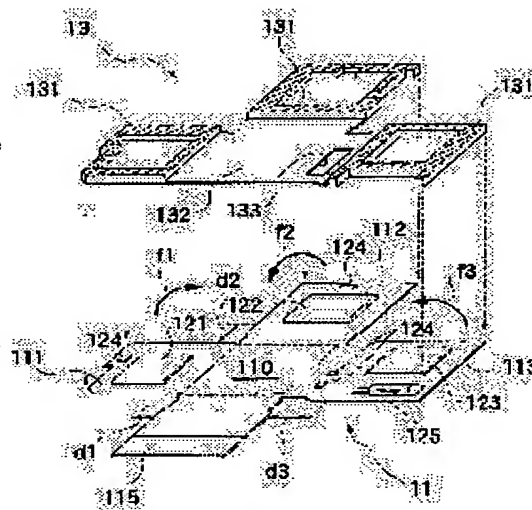
(22)Date of filing : 25.04.2000

(72)Inventor : KONDO YOICHIRO

**(54) SEMICONDUCTOR DEVICE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device that has a three-dimensional mounting modular structure by using a flexible circuit substrate that is superior in the ease of a three-dimensional assembly and the repair (or rework) workability.

**SOLUTION:** In mounting regions 111, 112, 113 of the flexible circuit substrate 11, mainly electronic components 121, 122, 123 are mounted respectively and other electronic components 124, 125 are also mounted. The flexible circuit substrate 11 is configured so as to fold up each of mounting regions 111-113 above a base region 110 in a given order (f1-f3). An integrated spacer 13 is overlapped and adhered to the flexible circuit substrate 11 as shown by broken line arrows and, when each of mounting regions 111-113 is folded up, supports the laminated layer of each of electronic components 121-125. The integrated spacer 13 has a thick region 131 and a thin region 132.

**LEGAL STATUS**

[Date of request for examination]

23.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-308261

(P2001-308261A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 25/065		H 0 5 K 1/03	6 1 0 B
25/07		H 0 1 L 25/08	Z
25/18		23/52	C
23/52			
H 0 5 K 1/03	6 1 0		

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21) 出願番号 特願2000-124354(P2000-124354)

(22) 出願日 平成12年4月25日 (2000.4.25)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 近藤 陽一郎

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100095728

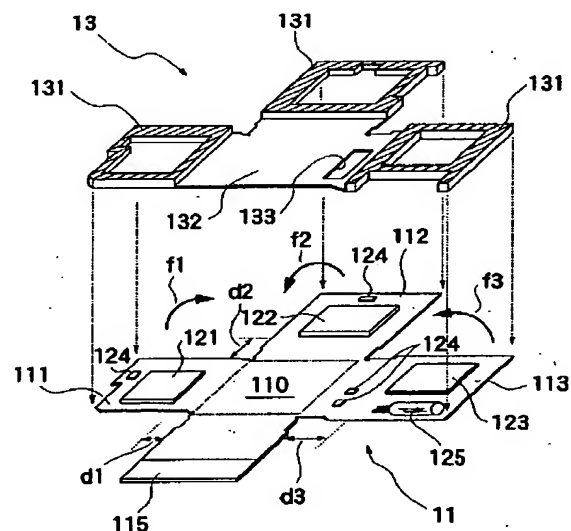
弁理士 上柳 雅彦 (外1名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 3次元組立ての容易性、リペア（またはリワーク）作業性に優れたフレキシブル回路基板を用いた3次元実装モジュール構成の半導体装置を提供する。

【解決手段】 フレキシブル回路基板11の実装領域111、112、113にはそれぞれ主に電子部品121、122、123が各対応して実装され、その他の電子部品124、125も実装されている。フレキシブル回路基板13は、ベース領域110上方に各実装領域111～113が予め決められた順番（f1～f3）で折り重ねられるように構成されている。一体型スペーサ13は、破線矢印のようにフレキシブル回路基板上に重なって固着され、各実装領域111～113が折り重ねられたときに各電子部品121～125の積層を支持する。一体型スペーサ13は、厚い領域131と薄い領域132を有する。



## 【特許請求の範囲】

【請求項1】 ベース領域及びその周辺に連設された1つ以上の実装領域を有し、ベース領域上方に各実装領域が折り重ねられるように形成されたフレキシブル回路基板と、  
前記実装領域に対応して実装された電子部品と、  
前記電子部品を保護するように設けられそれぞれ所定の外形枠を有する厚い第1領域及びこの第1領域と共に一体化し折り曲げ可能な薄い第2領域を含む積層支持体と、  
前記積層支持体とフレキシブル回路基板が一体となって前記電子部品を積層し固定するための接着部材と、を具備したことを特徴とする半導体装置。

【請求項2】 前記フレキシブル回路基板は、前記ベース領域の周辺に連設された外部端子領域をさらに含むことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記フレキシブル回路基板は、前記ベース領域下方側の面に設けられた外部端子領域をさらに含むことを特徴とする請求項1記載の半導体装置。

【請求項4】 前記積層支持体は、その第1領域に関して前記電子部品の周辺を取り囲むような構成であることを特徴とする請求項1～3いずれか一つに記載の半導体装置。

【請求項5】 前記積層支持体は、その第1領域に関して前記電子部品の周辺に部分的に沿うような構成であることを特徴とする請求項1～3いずれか一つに記載の半導体装置。

【請求項6】 前記積層支持体は、その第2領域に関して折り曲げ緩和部が設けられていることを特徴とする請求項1～5いずれか一つに記載の半導体装置。

【請求項7】 前記ベース領域にも電子部品が実装される形態をさらに具備することを特徴とする請求項1～6いずれか一つに記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、フレキシブル回路基板を用いた半導体装置に係り、特に安価で小型化、薄型化、軽量化が要求される3次元実装モジュールを構成する半導体装置に関する。

## 【0002】

【従来の技術】フレキシブル回路基板は、リジッド回路基板と違って柔軟かく、変形可能な利点がある。これにより、ICの高密度実装、モジュールのコンパクト化に有利である。すなわち、フレキシブル回路基板は、TCP (Tape Carrier Package) やCOF (Chip On FlexibleまたはFilm) 等に利用され、特に、各種メディア機器の小型化には必要不可欠である。

【0003】また、メディア機器の小型化、薄型化、軽量化の実現には、システムLSIの技術も重要である。システムLSIは、周辺回路のLSIを取り込みながら

1チップ化への技術を着実に進歩させている。しかし、システムLSIの開発においては、長い開発期間と、異種プロセス混合によるチップコスト上昇を招くことになる。これにより、メディア機器が要望する短納期、低コストを満足できないのが現状である。

## 【0004】

【発明が解決しようとする課題】上述の理由により、3次元実装を主体とするシステム機能実装の要求が高まり、システムLSIと実装技術の統合が重要になってきた。メディア機器産業では、周波数(高速化)と納期(短納期)で成長の度合いが決められる。このため、内蔵されるLSIも、実装やパッケージ技術によって可能な限り接続長、配線長を短縮しなければならない。このような理由から、3次元実装モジュールは様々な工夫がなされ実用化の段階に入ってきている。

【0005】例えば、3次元実装モジュールは、従来、次のような構成が実用化、あるいは実用化段階にある。まず、(A)として、TCP (Tape Carrier Package) を積層し、チップ積層間の接続はTCPのアウターリードで達成する。また、(B)として、TCPの積層間に配線用の枠体を配備して、チップ積層間の接続を達成する。その他、(C)として、チップレベルで積層し、チップ積層間を導電材で接続したもの等、様々な技術がある。

【0006】このような従来技術によれば、チップ積層間は、何らかのインタポーザを介して電氣的に接続される必要がある。このようなインタポーザ間の接続構成は、上記(A)や(C)のような、外部で接続する構成と、上記(B)のような、内部で接続する構成がある。いずれにしても、3次元実装モジュールの構造が達成されて初めてモジュール製品としての電氣的動作が認められ、測定、検査等が可能となる。

【0007】そこで、3次元実装モジュールとして測定、検査等の結果、不良と判定された場合は、良品化のためのリペア(またはリワーク)作業をすることになる。すなわち、3次元実装モジュールでは、3次元への組立て段階において、共通電極と非共通電極の処理の仕方、リペア(またはリワーク)作業性を考慮した接続形態が重要である。この点において、上述の従来技術では時間及びコストが嵩むという問題がある。

【0008】本発明は上記のような事情を考慮してなされたもので、3次元への組立て段階における容易性、リペア(またはリワーク)作業性に優れたフレキシブル回路基板を用いた3次元実装モジュール構成の半導体装置を提供しようとするものである。

## 【0009】

【課題を解決するための手段】本発明の半導体装置は、ベース領域及びその周辺に連設された1つ以上の実装領域を有し、ベース領域上方に各実装領域が折り重ねられるように形成されたフレキシブル回路基板と、前記実装

領域に対応して実装された電子部品と、前記電子部品を保護するように設けられそれぞれ所定の外形枠を有する厚い第1領域及びこの第1領域と共に一体化し折り曲げ可能な薄い第2領域を含む積層支持体と、前記積層支持体とフレキシブル回路基板が一体となって前記電子部品を積層し固定するための接着部材とを具備したことを特徴とする。

【0010】本発明の半導体装置によれば、フレキシブル回路基板に電子部品を実装した時点で、モジュール製品としての動作が可能になる。これにより、3次元実装モジュールとして組み立てられる以前に測定、検査等が実施できる。

【0011】さらに、3次元実装モジュールとして組み立てるための積層支持体は一体型であり、フレキシブル回路基板上に一括して装着される。その後は積層支持体を伴って実装領域が折り重ねられ固定される。これにより、少ない工数で3次元実装モジュールを実現する。

【0012】

【発明の実施の形態】図1は、本発明の第1実施形態に係る半導体装置の構成を示す概観図である。フレキシブル回路基板11は、破線で示すような略四角形のベース領域110とその周辺に連設された実装領域111、112、113を有し、保護膜下に所定の導電パターン（図示せず）が形成されている。また、ベース領域110の周辺で上記実装領域が設けられない領域に外部端子部115が設けられている。外部端子部115は、ここではコネクタ端子である。

【0013】フレキシブル回路基板11において、実装領域111、112、113にはそれぞれ主に電子部品121、122、123が各対応し、フェイスダウン実装されている。電子部品121、122、123は、メモリチップやシステムLSIチップ、コントロールユニットその他様々考えられる。

【0014】このような電子部品121、122、123のフェイスダウン実装としては、例えば、上記各電子部品のパンプ電極とフレキシブル回路基板11の所定の導電パターンとのハンダ付けが考えられる。また、ACF（異方性導電フィルム）による接続も考えられる。すなわち、上記各電子部品のパンプ電極とフレキシブル回路基板11の所定の導電パターンとの間にACF（異方性導電フィルム）を介在させ加熱圧着する。これにより、ACF中の導電粒子によって各電子部品121、122、123とフレキシブル回路基板11の導電パターンとの必要な電気的接続が得られる。その他、ACP（異方性導電ペースト）接合、絶縁樹脂の収縮力によって電気的接続を得るNCP接合、パンプによる金-金、金-銅などの金属共晶接合など、様々考えられる。また、場合によってはワイヤボンディング方式を用いるフェイスアップ実装も適用可能である。さらに、極薄のICパッケージの実装も考えられ、電子部品の実装形態は

別段限定されることはない。

【0015】一方、上記電子部品121、122、123に係る小型の電子部品（周辺素子）も幾つか実装されている。例えば複数の電子部品124はチップコンデンサやチップ抵抗等、電子部品125は、クロック生成に必要なクリスタル等である。

【0016】フレキシブル回路基板11は、ポリイミドのような自由に折り曲げることのできる柔軟な材料で構成されている。フレキシブル回路基板11は、ベース領域110上方に各実装領域111～113が予め決められた順番（f1～f3）で折り重ねられるように構成されている。従って、各実装領域111～113が折り重ねられるまでの折り曲げ距離を考慮し、距離d1～d3は異ならせてある。

【0017】このフレキシブル回路基板11には、一体型スペーサ13が装着される。一体型スペーサ13は、破線矢印で示すようにフレキシブル回路基板上に重なって固着され、各実装領域111～113が折り重ねられたときに各電子部品の積層を支持する。一体型スペーサ13は、厚い領域131と薄い領域132を有する。

【0018】一体型スペーサ13の厚い領域131は、電子部品121～123、その他の電子部品124、125における積層保護のために設けられている。この厚い領域131は、例えば電子部品121～123それぞれを取り囲む形態をとる。また、端の方に実装された小型の電子部品（125など）に対しては、周辺に部分的に沿うような形態をとってもよい。いずれにしてもこの厚い領域131は、ベース領域110上方に積み重ねられるため、ベース領域110上に合わせられるような外形枠を有することが好ましい。

【0019】一体型スペーサ13の薄い領域132は、ベース領域110上に延在し、上記厚い領域131と一体化している。この薄い領域132は、少なくともベース領域110の周囲の折り曲げ可能な領域を形成している。また、電子部品（124）の実装が妨げられないよう開口部133が設けられることもある。

【0020】このような一体型スペーサ13は、例えば、リフロー耐熱性を考慮したポリイミド樹脂の成形品や、両面テープを複数貼り合わせた複合加工品等であるコンピネーションテープで構成することが考えられる。厚い領域131は、実装される各電子部品（121～123その他）の積層が妨げとならない程度の厚みを有する。また、薄い領域132は、折り曲げ部を含むのでなるべく薄い方がよく、例えば0.1～0.2mm程度の厚みにしておく。一体型スペーサ13としての取り扱いが困難でなければ、さらに薄くてもかまわない。

【0021】一体型スペーサ13が、上記ポリイミド樹脂の成形品であれば、両面テープや接着剤等の接着部材を介して図示しない裏面側がフレキシブル回路基板11上に固着される。さらに厚い領域131の積層固定側

(斜線)に両面テープや接着剤等の接着部材を配する。これにより、各電子部品121~123(その他の小型電子部品含む)を順に積層したときに各々固定される。

【0022】一体型スペーサ13が、上記コンビネーションテープであれば、両面テープの接着部材を介して図示しない裏面側がフレキシブル回路基板11上に固着される。さらに厚い領域131の積層固定側(斜線)に両面テープの粘着性が予め確保される。これにより、各電子部品121~123(その他の小型電子部品含む)を順に積層したときに各々固定される。

【0023】図2(a)、(b)は、それぞれ図1の半導体装置の一部を示す断面図である。実装領域111が折り曲げられ、電子部品121がベース領域110上方に配設された形態を示している。電子部品121の実装に関し、ACF(異方性導電フィルム)による実装例を用いており、(b)は(a)のさらに部分的な詳細を示す拡大図である。すなわち、フレキシブル回路基板11は、ポリイミドなどの基材101に導電パターン102が形成され、レジスト層103で保護されている。導電パターン102上の所定の端子部が、電子部品121の

パンプ電極BMPに対してACF(異方性導電フィルム)を介在させ電氣的に接続している。

【0024】図2(a)に示すように、一体型スペーサ13は、その裏面が、全体もしくは部分的に接着領域ADH1となっていて、例えば両面テープまたは接着剤を介してフレキシブル回路基板11上に固着されている。さらに、厚い領域131上(図1の斜線)が接着領域ADH2であって例えば両面テープ(または接着剤)を介してベース領域110上に固着されている。図示の電子部品121はこの厚い領域131に囲まれ保護される。

【0025】一体型スペーサ13の薄い領域132は、フレキシブル回路基板11の折り曲げ領域を支持し、特に急な角度がつきやすい折り曲げ端部領域21、22に対するフレキシブル回路基板11の保護の役割も果たす。

【0026】他の電子部品122や123、小型の電子部品124、125も、図示しないが上記と同様、ベース領域110上方に配設されるように、各実装領域112、113が順に折り重ねられる。これにより、一体型スペーサ13とフレキシブル回路基板11が一体とな

って各電子部品(121~123その他)が積層され、一体型スペーサ13の厚い領域131とフレキシブル回路基板(裏面)が両面テープなどで固定される。

【0027】上記第1実施形態によれば、フレキシブル回路基板11に電子部品(121~123その他)を実装した時点で、モジュール製品としての動作が可能になる。これにより、3次元実装モジュールとして組み立てられる以前に測定、検査等が実施できる。

【0028】さらに、3次元実装モジュールとして組み立てるための一体型スペーサ13は、フレキシブル回路

基板11上に一括して装着できる。その後は一体型スペーサ13を伴って実装領域111~113が折り重ねられ固定されることにより電子部品(121~123その他)の3次元実装モジュールが実現できる。

【0029】このようなことから、3次元実装モジュールとして、組み立て性(組み立ての早さ、精度)は著しく向上し、加工工数の減少が達成される。これにより、リペア(またはリワーク)作業性に優れる。仮にスペーサがセバレートタイプであった場合と比較すれば、組み立て性が向上し、部品点数が減少する。この結果、コスト削減に寄与する。

【0030】本発明における3次元実装モジュールは、フレキシブル回路基板11上に各電子部品(121~123その他)を実装してフレキシブル回路基板11、一体型スペーサ13と共に折り重ねる形態である。これにより、ICチップを積み重ねるスタックド・パッケージなどと比較して、ICのサイズやパッド配置の制約が極めてゆるい。スタックド・パッケージでは、組み合わせるICの大きさやIC端子位置など様々な制約がある。これに対して本発明に係る3次元実装モジュールは、ICの種類、組み合わせの自由度が広く、複数の周辺素子まで実装できる点を考慮すれば、電気特性的にも最適なモジュール化が可能である。

【0031】図3は、本発明の第2実施形態に係る半導体装置の構成を示す概観図である。上記第1実施形態に比べて、一体型スペーサ13の構成が異なっている。一体型スペーサ13の薄い領域132には、折り曲げ緩和部31が設けられている。すなわち、フレキシブル回路基板11の折り曲げ領域の復元力(戻ろうとする力)を緩和させるため、伸縮性が得られる弛み領域を形成したものである。この折り曲げ緩和部31は、型押しなどの熱変形で容易に形成できる。その他の構成は前記第1実施形態と同様であるため同一の符号を付し、説明は省略する。

【0032】図4(a)、(b)は、それぞれ図1の半導体装置の一部を示す断面図である。実装領域111が折り曲げられ、電子部品121がベース領域110上方に配設された形態を示している。電子部品121の実装に関し、ACF(異方性導電フィルム)による実装例を用いており、(b)は(a)のさらに部分的な詳細を示す拡大図である。図2(a)、(b)の構成に比べて、折り曲げ緩和部31を設けていることが異なる点である。その他は図2(a)、(b)の構成と同様である。

【0033】図4(a)に示すように、一体型スペーサ13は、その裏面が、全体もしくは部分的に接着領域ADH1となっていて、例えば両面テープまたは接着剤を介してフレキシブル回路基板11上に固着されている。さらに、厚い領域131上(図3の斜線)が接着領域ADH2であって例えば両面テープ(または接着剤)を介してベース領域110上に固着されている。図示の電子

部品121はこの厚い領域131に囲まれ保護される。

【0034】一体型スペーサ13の薄い領域132は、フレキシブル回路基板11の折り曲げ領域を支持し、特に急な角度がつきやすい折り曲げ端部領域21、22に対するフレキシブル回路基板11の保護の役割も果たす。

【0035】さらに、一体型スペーサ13の薄い領域132は、折り曲げ端部領域21、22の間において折り曲げ緩和部31が設けられている。折り曲げ緩和部31は、フレキシブル回路基板11とは接着されない薄い領域132の弛みである。これにより、フレキシブル回路基板11の折り曲げ時の突っ張り応力を緩和させる。すなわち、フレキシブル回路基板11が一体型スペーサ13の薄い領域132と重ねて折り曲げるときの復元力（戻ろうとする力）を緩和させるのである。

【0036】他の電子部品122や123、小型の電子部品124、125も、図示しないが上記と同様、ベース領域110上方に配設されるように、各実装領域112、113が順に折り重ねられる。これにより、フレキシブル回路基板11は、一体型スペーサ13（厚い領域131）を伴って決められた順に折り重ねられ、各電子部品121～125が積層される。この結果、一体型スペーサ13の厚い領域131とフレキシブル回路基板（裏面）が両面テープなどで固定され、3次元実装モジュールが構成される。

【0037】上記第2実施形態によっても、フレキシブル回路基板11に電子部品（121～123その他）を実装した時点で、モジュール製品としての動作が可能になる。これにより、3次元実装モジュールとして組み立てられる以前に測定、検査等が実施できる。

【0038】さらに、3次元実装モジュールとして組み立てるための一体型スペーサ13は、フレキシブル回路基板11上に一括して装着できる。その後は一体型スペーサ13を伴って実装領域111～113が折り重ねられ固定されることにより、電子部品121～123その他の3次元実装が実現できる。また、フレキシブル回路基板11の折り曲げが必要な領域に折り曲げ緩和部31を設けているので折り曲げの精度が増す利点もある。

【0039】このようなことから、3次元実装モジュールとして、組み立て性（組み立ての早さ、精度）は著しく向上し、加工工数の減少が達成される。これにより、リペア（またはリワーク）作業性に優れる。仮にスペーサがセバレートタイプであった場合と比較すれば、組み立て性が向上し、部品点数が減少する。この結果、コスト削減に寄与する。さらに、ICの種類、組み合わせの自由度が広く、複数の周辺素子まで実装できる点を考慮すれば、電気特性的にも最適なモジュール化が可能である。

【0040】図5（a）、（b）は、それぞれ本発明の第3実施形態に係る半導体装置の構成であり、（a）は

組み立て前の平面図、（b）は組立後の3次元実装モジュールの概略構成を示す任意の断面図である。前記第2実施形態と同様の箇所には同一の符号を付して説明は省略する。

【0041】この第3実施形態においては、前記第2実施形態に比べて、フレキシブル回路基板51が異なっている。図示のように、フレキシブル回路基板51はベース領域110にも電子部品126が実装される形態となっている。これにより、一体型スペーサ13は、その厚い領域131を、電子部品126に応じてベース領域110上にも設けている。

【0042】また、電子部品126上方に各電子部品121～123が順に積層されるのでそれを考慮して、一体型スペーサ13は、ベース領域110上の厚い領域131と各実装領域111～113上の厚い領域131との間の距離d11～d13を異ならせている。これにより、フレキシブル回路基板51は、一体型スペーサ13（厚い領域131）を伴って決められた順に折り重ねられ、各電子部品121～125が前記第1実施形態のときと同様に積層固定される（図5（b））。

【0043】図6（a）、（b）は、それぞれ本発明の第4実施形態に係る半導体装置の構成であり、（a）は組み立て前の平面図、（b）は組立後の3次元実装モジュールの概略構成を示す任意の断面図である。前記第2実施形態と同様の箇所には同一の符号を付して説明は省略する。

【0044】この第4実施形態においては、前記第2実施形態に比べて、フレキシブル回路基板61が異なっている。図示のように、フレキシブル回路基板61のベース領域110の裏面において、破線のような外部端子部（例えばボール電極）62が設けられている。すなわち、前記第2の実施形態（図3）で示した外部端子部115を、コネクタ端子の代りにアレイタイプの電極（62）とした構成となっている。

【0045】実装領域（111～113）を配したフレキシブル回路基板61の主表面において、図示しない外部端子に相当する導電パターン（の端部は、ビアパターン（図示せず）を介して外部端子部（ボール電極）62に接続されている。

【0046】また、電子部品125はクリスタルを示すが、いままでのシリンダタイプに代ってSMD（Surface Mount Device）タイプを適用している。SMDタイプなら3次元モジュールをメイン基板にハンダ実装する際に、リフロー可能で信頼性が高い。

【0047】一体型スペーサ13は、その厚い領域131を、電子部品121～125に応じて設けている。これにより、フレキシブル回路基板61は、一体型スペーサ13（厚い領域131）を伴って決められた順に折り重ねられ、各電子部品121～125が前記第1実施形態のときと同様に積層固定される（図6（b））。

【0048】なお、電子部品121～125は必要に応じて予め熱硬化タイプなどの接着手段でフレキシブル回路基板61に固定しておいてもよい。これは、3次元モジュールとして、メイン基板にリフローハンダ実装される際、例えばハンダ接合した電子部品124や125の落下防止に寄与する。このような接着手段は、温度条件や電子部品の質量に依存するため、必ずしも必要な条件ではない。いずれにしてもスペーサ13に干渉しないように所定の電子部品が接着されることが望ましい。

【0049】なお、ベース領域110の周辺である四辺 10  
 全てに各実装領域が設けられる構成も十分考えられる。  
 その場合も、厚い領域と薄い領域を含む一体型スペーサ  
 を伴い各電子部品が決められた順に積層され、前記第1  
 実施形態のときと同様に固定される。

【0050】上記のような第3、第4実施形態は、共に高密度実装を追求した構成である。このような実施形態によっても、フレキシブル回路基板51または61に電子部品を実装した時点で、モジュール製品としての動作が可能になる。これにより、3次元実装モジュールとして組み立てられる以前に測定、検査等が実施できる。

【0051】また、3次元実装モジュールとして組み立てるための一体型スベサ13は、フレキシブル回路基板51または61上に一括して装着可能である。その後は一体型スベサ13を伴って各実装領域が折り重ねられ固定されることにより、電子部品の3次元実装が実現できる。また、フレキシブル回路基板51または61の折り曲げが必要な領域に折り曲げ緩和部31を設けることによって折り曲げの精度が増す。

【 0 0 5 2 】以上の各実施形態によれば、一体型スペーサにより、3次元実装モジュールとして、組み立て性（組み立ての早さ、精度）は著しく向上し、加工工数の減少が達成される。これにより、3次元実装モジュールとしてリペア（またはリワーク）作業性に優れる。仮にスペーサがセバレートタイプであった場合と比較すれば、組み立て性の向上、部品点数の減少が達成される。これにより、コスト削減に寄与する。さらに、ICの種類、組み合わせの自由度が広く、複数の周辺素子まで実装できる点を考慮すれば、電気特性的にも最適なモジュール化が可能である。

[ 0 0 5 3 ]

【発明の効果】以上説明したように本発明の半導体装置によれば、折り重ねて３次元実装モジュールにするべくフレキシブル回路基板に電子部品を実装する。これにより、３次元実装モジュールへの組み立て以前に測定、検査等が実施可能である。

【0054】さらに、3次元実装モジュールとして組み

立てるための積層支持体、すなわち一体型スペースは、フレキシブル回路基板上に一括して装着される。その後はこのスペースを伴って実装領域が折り重ねられ固定される。これにより、少ない工数で3次元実装モジュールを実現する。

【0055】以上の結果、高密度3次元実装モジュールへの組み立ての容易性、制御性が得られ、リペア（またはリワーク）作業性に優れ、自由度が高くかつ電気特性的にも最適な、フレキシブル回路基板を用いた高信頼性の3次元実装モジュール構成の半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る半導体装置の構成を示す概観図である。

【図2】(a)，(b)は、それぞれ図1の半導体装置の一部を示す断面図である。

【図3】本発明の第2実施形態に係る半導体装置の構成を示す概観図である。

【図4】(a)，(b)は、それぞれ図3の半導体装置  
20 の一部を示す断面図である。

【図5】(a)，(b)は、それぞれ本発明の第3実施形態に係る半導体装置の構成であり、(a)は組み立て前の平面図、(b)は組立後の3次元実装モジュールの概略構成を示す任意の断面図である。

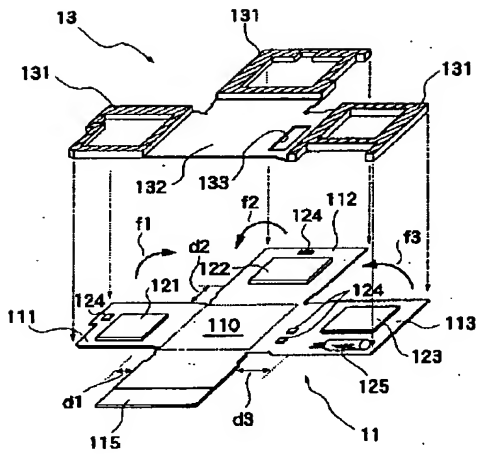
【図6】(a)，(b)は、それぞれ本発明の第4実施形態に係る半導体装置の構成であり、(a)は組み立て前の平面図、(b)は組立後の3次元実装モジュールの概略構成を示す任意の断面図である。

【符号の説明】

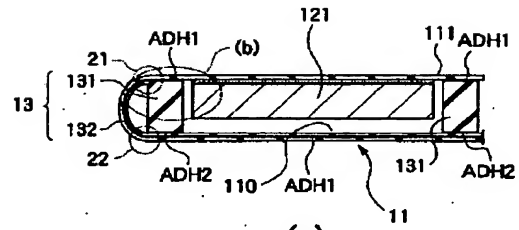
30 1 1, 5 1, 6 1…フレキシブル回路基板  
1 0 1…基材  
1 0 2…導電パターン  
1 0 3…レジスト層  
1 1 0…ベース領域  
1 1 1, 1 1 2, 1 1 3…実装領域  
1 1 5, 6 2…外部端子部  
1 2 1, 1 2 2, 1 2 3, 1 2 4, 1 2 5, 1 2 6…電子部品

1 3 …一体型スぺーサ  
40 1 3 1 …一体型スぺーサの厚い領域  
1 3 2 …一体型スぺーサの薄い領域  
2 1, 2 2 …折り曲げ端部領域  
3 1 …折り曲げ緩和部  
ACF…異方性導電フィルム  
ADH1, ADH2…接着領域  
BMP…バンプ電極

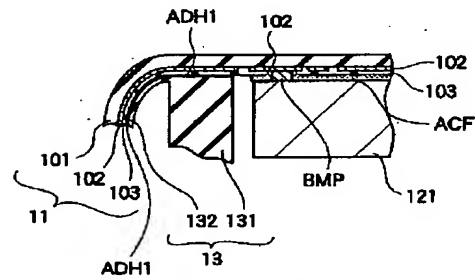
【図1】



【図2】

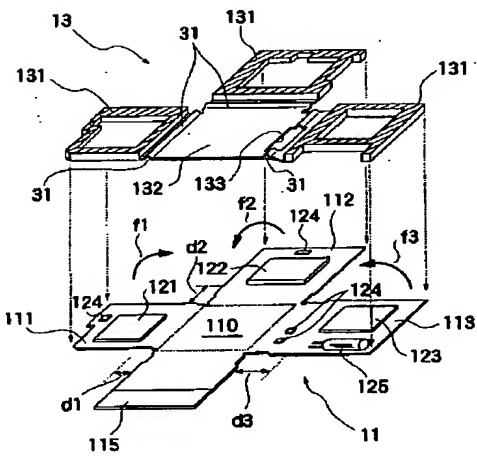


(a)

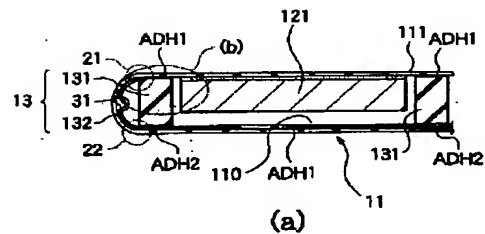


(b)

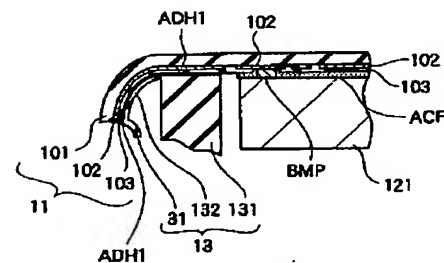
【図3】



【図4】



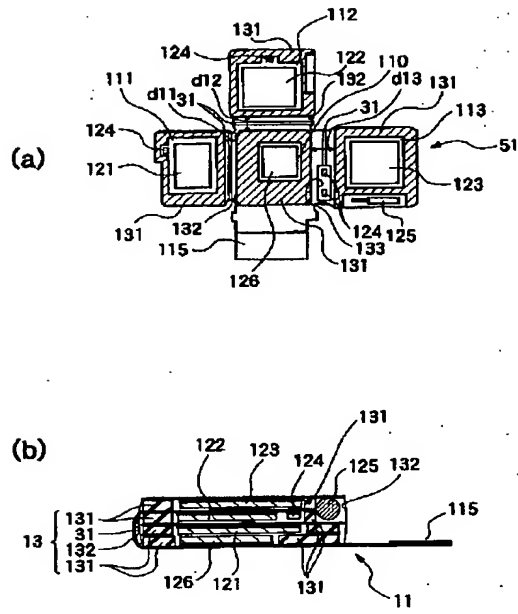
(a)



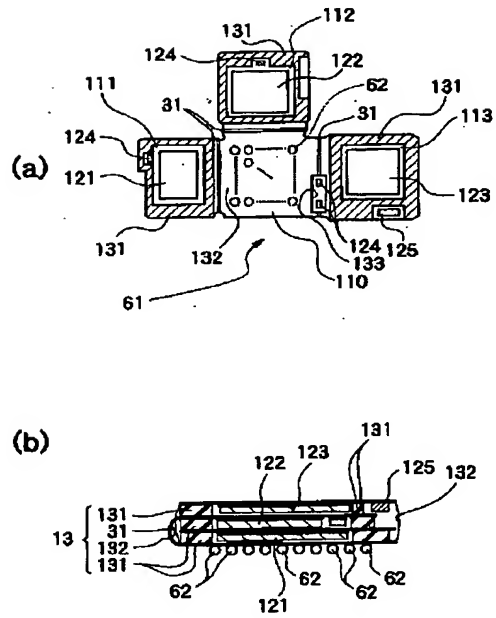
(b)



【図 5】



【図 6】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**